

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-311160

(43)Date of publication of application : 28.11.1995

(51)Int.Cl. G01N 21/89  
G01N 21/33  
G01N 21/88  
G06T 1/00

(21)Application number : 06-105223 (71)Applicant : NITTO DENKO CORP

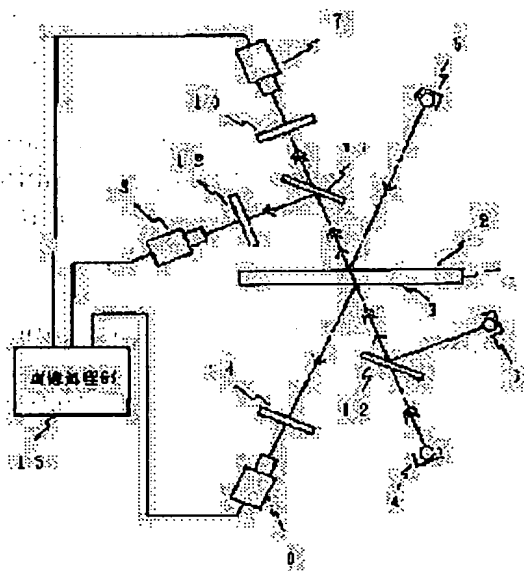
(22)Date of filing : 19.05.1994 (72)Inventor : SHIGYO HIDEHARU  
JIMI MASAKI

## (54) METHOD AND DEVICE FOR PREFORMING VISUAL INSPECTION

### (57)Abstract:

**PURPOSE:** To only detect a defect of a transparent film even when the film is coated with a surface protective film so as to automate the visual inspection of the film by taking the picture of the transparent film of reflected ultraviolet rays and transmitted visible light rays by irradiating the sheet with ultraviolet rays and visible light rays and comparing and analyzing both pictures by processing the pictures.

**CONSTITUTION:** A transparent film 1 is irradiated with visible light rays from a visible light source 4 and the image of the light transmitted through the film 1 is taken with a CCD camera 7 through a visible light transmitting filter 10 and sent to a picture processing section 15. On the other hand, the upper surface of the film 1 coated with a surface protective film 2 is irradiated with ultraviolet rays from an ultraviolet-ray source 5 and the image of the reflected light from the upper surface is taken with another CCD camera 8 after the reflected light is reflected by an ultraviolet-ray reflecting mirror 11 and passed through an ultraviolet-ray transmitting filter 13 and sent to the processing section 15. Similarly, the picture of the lower surface of the film 1 coated with another protective film 3 is taken with a third CCD camera 9 and sent to the processing section 15. The section 15 automatically detects the defect of the film 1 only by binarizing the picture signals and comparing the pictures taken with the cameras 7, 8, and 9.



LEGAL STATUS

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-11944

⑬ Int.Cl.<sup>4</sup>  
G 06 F 11/28  
9/46

識別記号

庁内整理番号

7343-5B  
A-8120-5B

⑭ 公開 昭和62年(1987)1月20日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 アドレス割込み回路

⑯ 特 願 昭60-151957

⑰ 出 願 昭60(1985)7月10日

⑱ 発 明 者 是 久 充 郎 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑳ 代 理 人 弁理士 井ノ口 壽

明 細 書

1. 発明の名称

アドレス割込み回路

2. 特許請求の範囲

割込み要求の有効/無効を表示するための割込み要求有効性フラグフリップフロップと、前記割込み要求有効性フラグフリップフロップを制御するための割込み制御回路と、命令実行アドレスを格納するためのプログラムカウンタと、それぞれメモリ上の書込み可能領域の先頭アドレスと後尾アドレスとを記憶するための先頭および後尾アドレスレジスタと、前記先頭および後尾アドレスレジスタと前記プログラムカウンタとの内容を照合するための照合回路とを具備し、前記命令実行アドレスが前記書込み可能領域に含まれる場合に前記割込み制御回路を起動し、任意のメモリ領域に格納されている命令群のフエッチの生起を割込み形式により検出することができるよう構成したことを特徴とするアドレス割込み回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、データ処理装置においてプログラムトラップ制御を行うアドレス割込み回路に関する。

(従来の技術)

データ処理装置において命令実行アドレスを検出するには、単一アドレストラップ割込みによる方式が一般的である。

他に、あるメモリ量を単位として、その領域の命令フエッチを検出する方式もある。

(発明が解決しようとする問題点)

上述した従来技術による命令実行アドレスを採用した割込み方式においては、一連の処理手順における単一命令のフエッチしか検出できなかった。

さらに上述した従来技術においては、プログラムのメモリ上の配置とは無関係な単位で命令のフエッチを検出するため、任意の領域の命令実行を検出できないという欠点がある。

本発明の目的は、割込み制御回路に割込み要求の有効性を制御するフラグを備え、プログラムカウンタに命令実行アドレスを格納できるように構

成したデータ処理装置においてメモリ上の任意の領域を指示する先頭アドレスと後尾アドレスとを与えておき、任意のアドレスとプログラムカウンタの値とを照合し、命令実行アドレスが上記領域に含まれる場合には上記割込み要求により割込みを制御することによつて上記欠点を除去し、任意な領域の命令実行を検出できるように構成したアドレス割込み回路を提供することにある。

(問題点を解決するための手段)

本発明によるアドレス割込み回路は、割込み要求有効性フラグフリップフロップと、割込み制御回路と、プログラムカウンタと、先頭および後尾アドレスレジスタと、照合回路とを具備して構成したものである。

割込み要求有効性フラグフリップフロップは、割込み要求の有効/無効を表示するためのものである。

割込み制御回路は、割込み要求有効性フラグフリップフロップを制御するためのものである。

プログラムカウンタは、命令実行アドレスを格

(3)

2の比較器6、7ならびに論理積回路8より成る照合回路9とにより成る。

プログラムカウンタ1の値、ならびにメモリ上の任意の領域の先頭および後尾のアドレスをそれぞれ示す先頭アドレスレジスタ2と後尾アドレスレジスタ3との内容が、それぞれ信号線1a、2a、3aにより照合回路9に入力される。照合回路9においては、それぞれ信号線1a、2aを介してプログラムカウンタ1の値および先頭アドレスカウンタ2の内容が入力され、プログラムカウンタ1の値が先頭アドレスレジスタ2の内容より大きい場合には、信号線5aに「1」を出力する。一方、それぞれ信号線1a、3aを介してプログラムカウンタ1の値および後尾アドレスレジスタ3の内容が第2の比較器7に入力され、プログラムカウンタ1の値が後尾アドレスレジスタ3の内容より小さい場合には、信号線7aに「1」を出力する。

論理積回路8は信号線5a、7a上の信号の論理積を求め、その結果を照合回路9の出力として

(4)

納するためのものである。

先頭および後尾アドレスレジスタは、それぞれメモリ上の書き込み可能領域の先頭アドレスと後尾アドレスとを定義するためのものである。

照合回路は、先頭および後尾アドレスレジスタとプログラムカウンタとの内容を照合するためのものである。

本発明は上記において命令実行アドレスが書き込み可能領域に含まれる場合に割込み制御回路を起動し、任意のメモリ領域に格納されている命令群のフェッチの生起を割込み形式により検出できるように構成したものである。

(実施例)

次に、本発明について図面を参照して説明する。

第1図は、本発明によるアドレス割込み回路の一実施例を示すブロック図である。第1図において、アドレス割込み回路はプログラムカウンタ1と、先頭アドレスレジスタ2と、後尾アドレスレジスタ3と、割込み要求有効性フラグフリップフロップ4と、割込み制御回路5と、第1および第

(5)

信号線9a上に出力する。

割込み制御回路5は割込み要求有効性フラグフリップフロップ4の値を信号線4aにより入力し、信号線9aにより割込み要求が入力された場合には、有効時のみに限つて割込み信号を信号線9aに出力する。

以上のように、本発明によるアドレス割込み回路においては、任意の範囲のメモリ領域に収容された命令群に対して命令フェッチを検出することができる。

(発明の効果)

以上説明したように本発明によれば、割込み制御回路に割込み要求の有効性を制御するフラグを備え、プログラムカウンタに命令実行アドレスを格納できるように構成したデータ処理装置においてメモリ上の任意の領域を指示する先頭アドレスと後尾アドレスとを与えておき、任意のアドレスとプログラムカウンタの値とを照合し、命令実行アドレスが上記領域に含まれる場合には上記割込み要求により割込み制御することによつて、単一

(6)

命令の検出のみではなく、任意の大きさの特定のプログラムに対して、命令の実行を検出してプログラムの実行制御やデータ処理装置におけるプログラムのデバッグを容易にサポートすることができるという効果がある。

#### 4. 図面の簡単な説明

第1図は、本発明によるアドレス割込み回路の一実施例を示すブロック図である。

- 1・・・プログラムカウンタ
- 2, 3・・・アドレスレジスタ
- 4・・・フラグフリップフロップ
- 5・・・割込み制御回路
- 6, 7・・・比較器
- 8・・・論理積回路
- 9・・・照合回路

特許出願人 日本電気株式会社  
代理人 弁護士 井ノ口 壽

(7)

第1図

